



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **05114711 A**(43) Date of publication of application: **07.05.93**

(51) Int. Cl.

H01L 27/108
H01L 27/04
(21) Application number: **03274395**(22) Date of filing: **23.10.91**(71) Applicant: **FUJITSU LTD**
(72) Inventor: **HIZUYA KENICHI**
SAITO TSUTOMU
(54) ACCUMULATION CAPACITOR FORMING METHOD

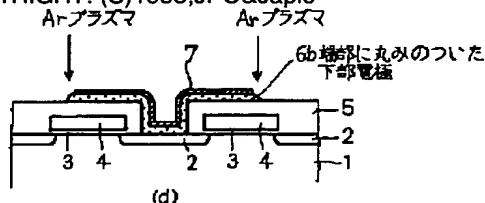
(57) Abstract:

PURPOSE: To obtain the method for formation of a memory cell storage capacitor having high withstand voltage and a large capacitance.

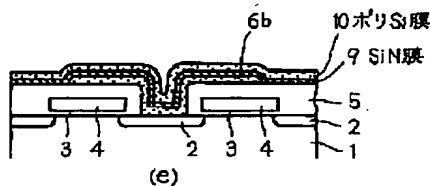
CONSTITUTION: An aperture, where a diffusion region 2 will be exposed, is provided on the insulating layer 5 formed on a semiconductor substrate 1, and after a first conductive film and a spacer film 7 have been deposited on the whole surface in the above-mentioned order, a part of the lower surface of a mask is exposed by isotropically conducting a selective etching treatment on the spacer film 7 using a mask. Then, a lower electrode is formed by anisotropically etching the first conductive film using the above-mentioned mask. Then, after the mask has been removed, lower electrodes 5b, having the rounded end parts formed by etching using the spacer lower film 7 as a mask, is formed. Then, the spacer film 7 is removed, a storage capacitor insulating film 9 and a second conductive film 10 are deposited in this order on the whole surface, the second conductive film 10 and the storage capacitor insulating film 9 are etched using a mask, and the storage capacitor insulating film 9 and the upper electrode 10, covering

the whole surface of the lower electrode 6b having the rounded end parts, are formed.

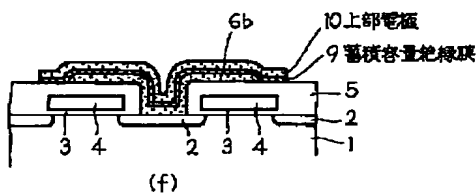
COPYRIGHT: (C)1993,JPO&Japio



(d)



(e)



(f)

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-114711

(43)公開日 平成5年(1993)5月7日

(51)Int.Cl.⁵

識別記号

庁内整理番号

FI

技術表示箇所

H 0 1 L 27/108
27/04

C 8427-4M
8728-4M

H 0 1 L 27/ 10

3 2 5 C

審査請求 未請求 請求項の数2(全 7 頁)

(21)出願番号

特願平3-274395

(22)出願日

平成3年(1991)10月23日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 日数谷 健一

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 齋藤 勉

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 井桁 貞一

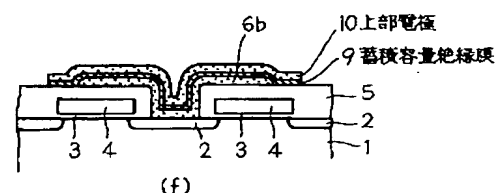
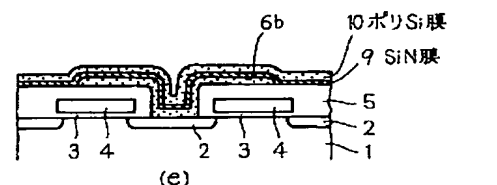
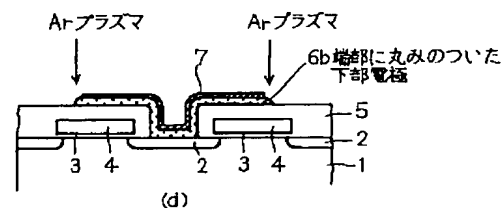
(54)【発明の名称】 蓄積容量の形成方法

(57)【要約】

【目的】 蓄積容量の形成方法に関し、耐圧が高く容量の大きいメモリセル蓄積容量の形成方法を目的とする。

【構成】 半導体基板1上に形成された絶縁層5に拡散領域2を露出する開孔を形成し、次いで、全面に第1の導電膜とスペーサ膜7をこの順に堆積した後、マスクを用いてスペーサ膜7を等方的に選択エッチングしマスクの下面を一部露出させ、次いで、そのマスクをマスクにして第1の導電膜を異方的にエッチングし下部電極を形成し、次いで、そのマスクを除去した後スペーサ膜7をマスクにして下部電極の端部をエッチングして端部に丸みのついた下部電極6bを形成し、次いで、スペーサ膜7を除去して全面に蓄積容量絶縁膜9と第2の導電膜10をこの順に堆積し、マスクを用いて第2の導電膜10と蓄積容量絶縁膜9をエッチングし、少なくとも端部に丸みのついた下部電極6b全面を覆う蓄積容量絶縁膜9と上部電極10aを形成する工程を有するように構成する。

第1の実施例を示す工程順断面図(その2)



【特許請求の範囲】

【請求項1】 半導体基板(1)上に形成された絶縁層(5)に拡散領域(2)を露出する開孔を形成し、次いで、全面に第1の導電膜(6)とスペーサ膜(7)をこの順に堆積した後、マスク(8)を用いて該スペーサ膜(7)を等方的に選択エッチングし該マスク(8)の下面を一部露出させ、

次いで、該マスク(8)をマスクにして該第1の導電膜(6)を異方的にエッチングし下部電極(6a)を形成し、次いで、該マスク(8)を除去した後該スペーサ膜(7)をマスクにして該下部電極(6a)の端部をエッチングして端部に丸みのついた下部電極(6b)を形成し、次いで、該スペーサ膜(7)を除去して全面に蓄積容量絶縁膜(9)と第2の導電膜(10)をこの順に堆積し、マスクを用いて該第2の導電膜(10)と該蓄積容量絶縁膜(9)をエッチングし、少なくとも該端部に丸みのついた下部電極(6b)全面を覆う蓄積容量絶縁膜(9)と上部電極(10a)を形成する工程を有し、該端部に丸みのついた下部電極(6b)と該蓄積容量絶縁膜(9)と該上部電極(10a)からなる蓄積容量を形成することを特徴とする蓄積容量の形成方法。

【請求項2】 半導体基板(1)上に形成された絶縁層(5)に拡散領域(2)を露出する開孔を形成し、次いで、全面に第1の導電膜(6)を堆積した後、マスク(8)を用いて該第1の導電膜(6)をエッチングして下部電極(6a)を形成し、次いで、該マスク(8)を一部アッシングすることにより該下部電極(6a)の端部を露出させた後、該マスク(8)をマスクにして該下部電極(6a)の端部をエッチングして端部に丸みのついた下部電極(6b)を形成し、次いで、該マスク(8)を除去して全面に蓄積容量絶縁膜(9)と第2の導電膜(10)をこの順に堆積し、マスクを用いて該第2の導電膜(10)と該蓄積容量絶縁膜(9)をエッチングし、少なくとも該端部に丸みのついた下部電極(6b)全面を覆う蓄積容量絶縁膜(9)と上部電極(10a)を形成する工程を有し、該端部に丸みのついた下部電極(6b)と該蓄積容量絶縁膜(9)と該上部電極(10a)からなる蓄積容量を形成することを特徴とする蓄積容量の形成方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は蓄積容量及びその形成方法に係り、特に、メモリセル蓄積容量及びその形成方法に関する。

【0002】DRAMセルは転送トランジスタとそれに接続する蓄積容量を含む。蓄積容量の容量値はソフトエラーに対する耐性から下限値が決まり、それは25fF(フェムトファラッド)程度である。素子の微細化が進む中で蓄積容量を大きくするためには蓄積容量絶縁膜をできるだけ薄く形成することが必要となる。

【0003】一方、蓄積容量絶縁膜を薄くすると耐圧が下がるという問題がある。

【0004】

【従来の技術】蓄積容量は通常蓄積容量絶縁膜を挟んで下部電極と上部電極が対向する構造になっており、蓄積容量を大きくするために蓄積電極の面積を大きくする方向と絶縁膜の厚さを小さくする方向がある。

【0005】ところで、絶縁膜の厚さが小さくなるにつれて耐圧が蓄積電極の構造に敏感になってくる。具体的には蓄積電極の形状に角張った部分が存在すると、その部分に電界集中が起こり、蓄積容量絶縁膜の絶縁耐圧が劣化してしまう。

【0006】そこで、蓄積電極パターン形成後にArを用いるプラズマエッチングにより角張った部分を除去し、丸めることが行われる。図5(a)～(d)はこのような蓄積容量形成の従来例を示す工程順断面図である。以下、これらの図を参照しながら、従来例について説明する。

【0007】図5(a) 参照

Si基板1に不純物拡散領域(ソース・ドレイン)2が形成され、Si基板1上にゲート絶縁膜3を介してゲート電極4が形成されている。全面を覆う絶縁層として例えばSiO₂層5を形成し、マスクを用いて不純物拡散領域2にコンタクト窓を形成する。

【0008】全面に下部電極となる導電膜として例えばポリSi膜6を堆積する。

図5(b) 参照

マスクを用いてポリSi膜6をエッチングし、下部電極6aを形成する。

30 【0009】図5(c) 参照

Arを用いるプラズマエッチングにより下部電極6a表面をエッチングすると、下部電極6aの端部の角張った部分が多くエッチングされて、端部に丸みのついた下部電極(6b)が形成される。

【0010】図5(d) 参照

全面に蓄積容量絶縁膜となる窒化シリコン膜9及び上部電極となるポリSi膜10を連続して堆積する。マスクを用いてポリSi膜10と窒化シリコン膜9をエッチングし、蓄積容量絶縁膜9、上部電極10aを形成する。

40 【0011】蓄積容量絶縁膜9と上部電極10aは、少なくとも端部に丸みのついた下部電極6b全面を覆うように形成する。上述の従来例は、下部電極6aの端部の角張った部分が多くエッチングされて、端部に丸みのついた下部電極(6b)が形成され、そのためその部分の電界集中は避けられるのであるが、一方、下部電極6aのコンタクト窓上部の曲がりの部分も多くエッチングされて薄くなり、また、下部電極6a表面がArプラズマに曝されて粗くなり、次の蓄積容量絶縁膜形成で均一な厚さで膜質の良好な絶縁膜が得られないという問題がある。

50 【0012】

【発明が解決しようとする課題】本発明は上記の問題に鑑み、端部に丸みのついた下部電極を形成しかつ表面を荒らさず均一な厚さとなるようにし、容量も耐圧も大きい蓄積容量を形成する方法を提供することを目的とする。

【0013】

【課題を解決するための手段】図1(a)～(c)は第1の実施例を示す工程順断面図(その1)、図2(d)～(f)は第1の実施例を示す工程順断面図(その2)、図3(a)～(c)は第2の実施例を示す工程順断面図(その1)、図4(d)～(f)は第2の実施例を示す工程順断面図(その2)である。

【0014】上記課題は、半導体基板1上に形成された絶縁層5に拡散領域2を露出する開孔を形成し、次いで、全面に第1の導電膜6とスペーサ膜7をこの順に堆積した後、マスク8を用いて該スペーサ膜7を等方的に選択エッチングし該マスク8の下面を一部露出させ、次いで、該マスク8をマスクにして該第1の導電膜6を異方的にエッチングし下部電極6aを形成し、次いで、該マスク8を除去した後該スペーサ膜7をマスクにして該下部電極6aの端部をエッチングして端部に丸みのついた下部電極6bを形成し、次いで、該スペーサ膜7を除去して全面に蓄積容量絶縁膜9と第2の導電膜10をこの順に堆積し、マスクを用いて該第2の導電膜10と該蓄積容量絶縁膜9をエッチングし、少なくとも該端部に丸みのついた下部電極6b全面を覆う蓄積容量絶縁膜9と上部電極10aを形成する工程を有し、該端部に丸みのついた下部電極6bと該蓄積容量絶縁膜9と該上部電極10aからなる蓄積容量を形成する蓄積容量の形成方法によって解決される。

【0015】また、半導体基板1上に形成された絶縁層5に拡散領域2を露出する開孔を形成し、次いで、全面に第1の導電膜6を堆積した後、マスク8を用いて該第1の導電膜6をエッチングして下部電極6aを形成し、次いで、該マスク8を一部アッシングすることにより該下部電極6aの端部を露出させた後、該マスク8をマスクにして該下部電極6aの端部をエッチングして端部に丸みのついた下部電極6bを形成し、次いで、マスク8を除去して全面に蓄積容量絶縁膜9と第2の導電膜10をこの順に堆積し、マスクを用いて該第2の導電膜10と該蓄積容量絶縁膜9をエッチングし、少なくとも該端部に丸みのついた下部電極6b全面を覆う蓄積容量絶縁膜9と上部電極10aを形成する工程を有し、該端部に丸みのついた下部電極6bと該蓄積容量絶縁膜9と該上部電極10aからなる蓄積容量を形成する蓄積容量の形成方法によって解決される。

【0016】

【作用】本発明では丸みのついた下部電極6bを形成するから、電界集中による絶縁耐圧低下を防ぐことができる。また、下部電極6aの端部をエッチングして端部に丸

みのついた下部電極6bを形成する時、下部電極6aの表面は大部分スペーサ膜7またはマスク8で覆われているので、下部電極6aの表面は大部分はエッチングにより荒らされることがなく均一な厚さに保たれる。

【0017】したがって、下部電極6aの上に欠陥のない良好な膜質の均一な厚さの蓄積容量絶縁膜9を成長することができる。

【0018】

【実施例】図1(a)～(c)は第1の実施例を示す工程順断面図(その1)、図2(d)～(f)は第1の実施例を示す工程順断面図(その2)であり、以下、これらの図を参照しながら第1の実施例について説明する。

【0019】図1(a) 参照

Si基板1上にゲート絶縁膜3、ゲート電極4を形成し、ゲート電極4をマスクにしてSi基板1に不純物をイオン注入して拡散領域(ソース・ドレイン)2を形成する。

【0020】全面にSiO₂層5を堆積し、拡散領域2にコンタクト窓となる開孔を形成する。次いで、CVD法により全面に厚さ2000ÅのポリSi膜6、厚さ200Åの窒化シリコン膜7を連続堆積する。ポリSi膜6は下部電極となり、窒化シリコン膜7はスペーサ膜となるものである。

【0021】図1(b) 参照

窒化シリコン膜7上にレジストを塗布し、蓄積容量を形成するためのレジストマスク8をパターンニングする。レジストマスク8をマスクにして、窒化シリコン膜7を等方的に選択エッチングする。エッチングの条件は、例えば流量50SCCMのCF₄と流量50SCCMのCHF₃の混合ガスにより、圧力0.4Torr、RFパワー300Wでプラズマエッチングを行う。

【0022】窒化シリコン膜7は除去され、レジストマスク8下の窒化シリコン膜7も一部除去され、レジストマスク8下面が一部現れる凹部が形成される。

図1(c) 参照

レジストマスク8をマスクにして、ポリSi膜6の異方性エッチングを行う。エッチングの条件は、例えばECR(電子サイクロトロン共鳴)によりCl₂ガス流量100SCCM、圧力10⁻³Torr、μ波パワー2kWでプラズマエッチングを行う。このようにして、下部電極6aが形成される。

【0023】図2(d) 参照

レジストマスク8をアッシングして除去する。次いで、Arガスを用いるRIE(反応性イオンエッチング)により、窒化シリコン膜7をマスクにして下部電極6aの端部の露出している部分をエッチングする。エッチングの条件は、例えばArガス流量50SCCM、圧力0.1Torr、RFパワー800Wである。

【0024】下部電極6aの端部は丸まり、端部に丸みのついた下部電極6bが形成される。

図2(e) 参照

窒化シリコン膜7を煮沸りん酸でエッチングして除去する。

【0025】次いで、CVD法により全面に厚さ70Åの窒化シリコン膜9を堆積した後、900℃のウエット酸素雰囲気中に曝して表面を酸化する。次いで、CVD法により全面に厚さ1500ÅのポリSi膜10を堆積する。窒化シリコン膜9は蓄積容量絶縁膜となり、ポリSi膜10は上部電極となるものである。

【0026】図2(f) 参照

ポリSi膜10上にマスクを形成し(図示せず)、そのマスクをマスクにしてポリSi膜10及び窒化シリコン膜9をエッチングし、上部電極10a及び蓄積容量絶縁膜9を形成する。上部電極10a及び蓄積容量絶縁膜9は少なくとも丸みのついた下部電極6b全面を覆うように形成する。

【0027】このようにして、電界集中が生ぜずかつ膜質のよい均一な厚さの蓄積容量絶縁膜9を有する蓄積容量が形成できた。次に、第2の実施例について説明する。

【0028】図3(a)～(c)は第2の実施例を示す工程順断面図(その1)、図4(d)～(f)は第2の実施例を示す工程順断面図(その2)であり、以下、これらの図を参照しながら第2の実施例について説明する。

【0029】図3(a) 参照

Si基板1上にゲート絶縁膜3、ゲート電極4を形成し、ゲート電極4をマスクにしてSi基板1に不純物をイオン注入して拡散領域(ソース・ドレイン)2を形成する。

【0030】全面にSiO₂層5を堆積し、拡散領域2にコンタクト窓となる開孔を形成する。次いで、CVD法により全面に厚さ2000ÅのポリSi膜6を堆積する。ポリSi膜6は下部電極となるものである。

【0031】図3(b) 参照

ポリSi膜6上にレジストを塗布し、それをパターンニングしてレジストマスク8を形成する。レジストマスク8をマスクにして、ポリSi膜6の異方性エッチングを行う。エッチングの条件は、例えばECR(電子サイクロトロン共鳴)によりCl₂ガス流量100SCCM、圧力10⁻³Torr、μ波パワー2kWでプラズマエッチングを行う。このようにして、下部電極6aが形成される。

【0032】図3(c) 参照

レジストマスク8の一部をアッシングして除去する。レジストマスク8の端部が多くアッシングされ、レジストマスク8の端部には丸みがつき、端部に丸みのついたレジストマスク8aが形成され、かつ下部電極6aの端部が一部露出する。

【0033】図4(d) 参照

次いで、Arガスを用いるRIE(反応性イオンエッチング)により、レジストマスク8をマスクにして下部電

極6aの端部の露出している部分をエッチングする。エッチングの条件は、例えばAr流量50SCCM、圧力0.1Torr、RFパワー800Wである。

【0034】下部電極6aの端部は丸まり、端部に丸みのついた下部電極6bが形成される。

図4(e) 参照

端部に丸みのついたレジストマスク8aをアッシングして完全に除去する。次いで、CVD法により全面に厚さ70Åの窒化シリコン膜9を堆積し、900℃のウエット酸素雰囲気中に曝して表面を酸化する。次いで、CVD法により全面に厚さ1500ÅのポリSi膜10を連続堆積する。窒化シリコン膜9は蓄積容量絶縁膜となり、ポリSi膜10は上部電極となるものである。

【0035】図4(f) 参照

この図は第1の実施例の図2(f)と同じであり、工程も同じであるので説明は省略する。

【0036】この場合も、電界集中が生ぜずかつ膜質のよい均一な厚さの蓄積容量絶縁膜9を有する蓄積容量が形成できた。

20 【0037】

【発明の効果】以上説明したように、本発明によれば、下部電極の端部に丸みを形成することにより、電界集中による絶縁破壊を避け、かつ膜質の良好な均一な厚さの蓄積容量絶縁膜を形成することができ、良好なメモリセル蓄積容量を提供することができる。

【0038】本発明は半導体デバイスの高集積化、高速化に寄与するものである。

【図面の簡単な説明】

【図1】(a)～(c)は第1の実施例を示す工程順断面図(その1)である。

【図2】(d)～(f)は第1の実施例を示す工程順断面図(その2)である。

【図3】(a)～(c)は第2の実施例を示す工程順断面図(その1)である。

【図4】(d)～(f)は第2の実施例を示す工程順断面図(その2)である。

【図5】(a)～(d)は従来例を示す工程順断面図である。

【符号の説明】

1は半導体基板であってSi基板

2は拡散領域であり不純物拡散領域であってソース・ドレイン

3はゲート絶縁膜

4はゲート電極

5は絶縁層であってSiO₂層

6は第1の導電膜であってポリSi膜

6aはポリSi膜であって下部電極

6bは端部に丸みのついた下部電極

7はスペーサ膜であって窒化シリコン膜

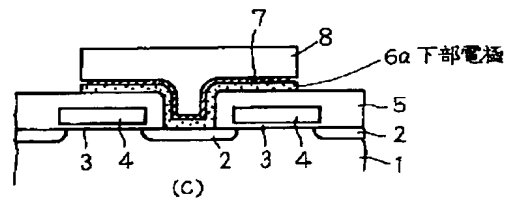
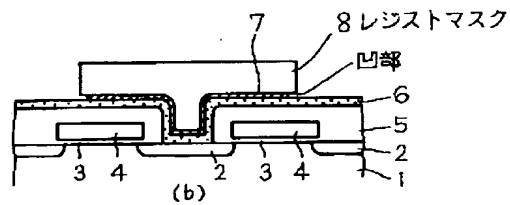
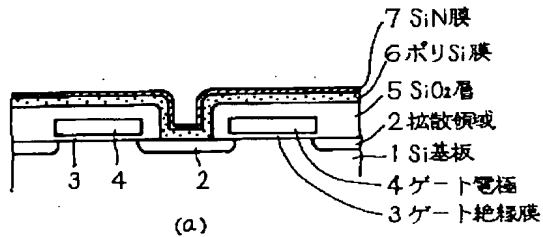
8はマスクであってレジストマスク

7

8aは端部に丸みのついたレジストマスク
9は蓄積容量絶縁膜であって窒化シリコン膜

【図1】

第1の実施例を示す工程順断面図(その1)

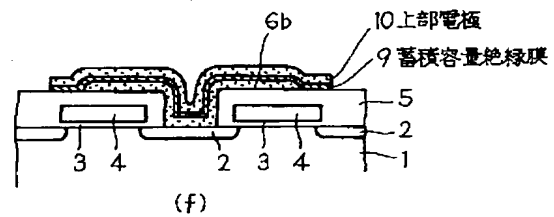
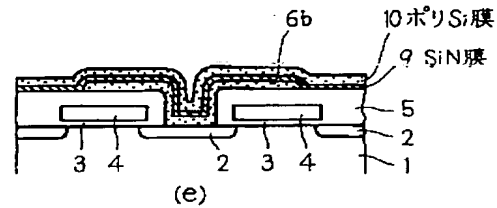
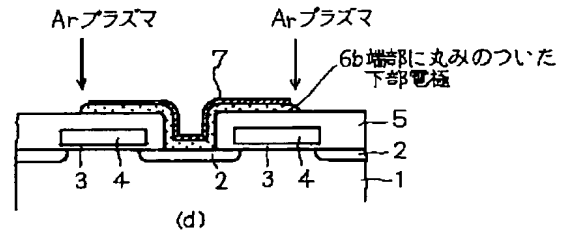


8

10は第2の導電膜であってポリSi膜
10a はポリSi膜であって上部電極

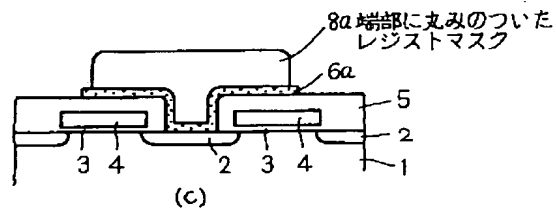
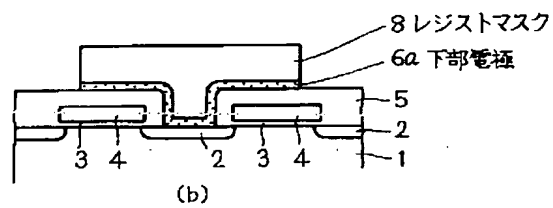
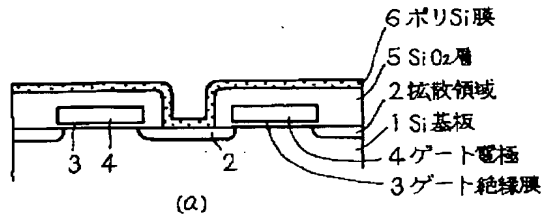
【図2】

第1の実施例を示す工程順断面図(その2)



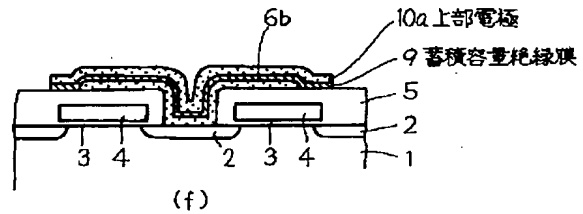
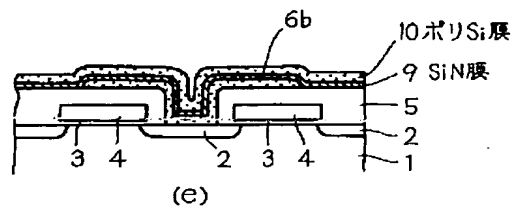
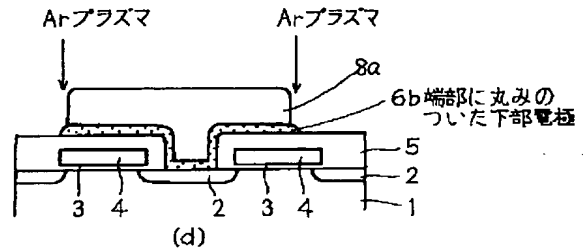
【図3】

第2の実施例を示す工程順断面図(その1)



【図4】

第2の実施例を示す工程順断面図(その2)



【図5】

従来例を示す工程横断面図

